

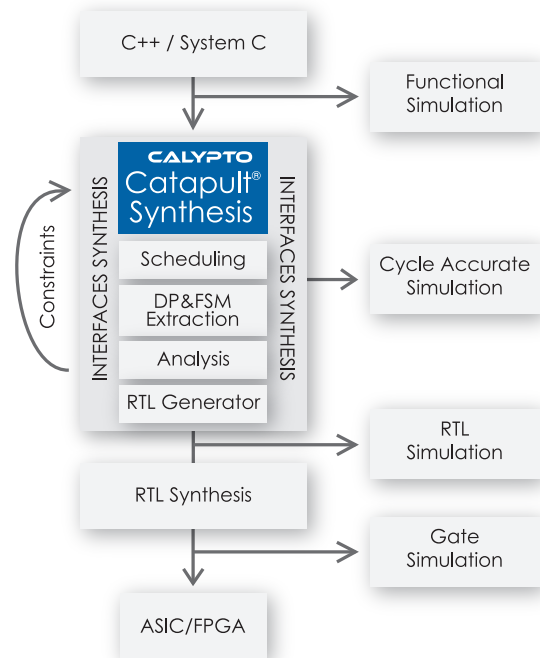
## 主な特徴

- SystemCとANSI C/C++ からの合成
- データバスと制御論理の混在設計
- 異なる設計抽象度に対応
- 消費電力、性能、面積の最適化
- プッシュボタンでRTL検証環境の自動生成
- トップダウン、ボトムアップの階層設計機能
- デザイン・インターフェイスを完全にかつ正確に制御
- AXIインターフェイス・ライブラリ
- 半導体ベンダー認定の高位合成ライブラリ
- ECOへの対応と等価性検証との統合

## RTL設計の加速と検証作業の削減

従来のハードウェア設計手法は、手書きのRTLと頻繁なデバッグが必要であり、今日の複雑な設計には時間がかかり過ぎます。Catapult® 高位合成ツールは、業界標準のANSI C/C++およびSystemCによる機能記述での入力に対応し、設計者がより生産性の高い抽象度へ移行することを可能にします。Catapultは、これらの高位機能記述から最終製品品質のRTLを生成します。制御ユニットとアルゴリズム・ユニットをもつ階層構造のシステムからも自動的にハードウェア実装し、従来の設計フローで発生しやすかったコーディング・エラーやバグの問題を解消します。Catapultは、RTL設計を加速し、バグのないRTLを自動合成することにより、RTLの検証完了までの時間を大幅に短縮します。

複雑なASICやFPGAの設計に対応したCatapultの統一されたモデリング、合成、検証フローは、ハードウェア設計者に、マイクロ・アーキテクチャやインタフェイスを詳細に検討する機会を与えます。また高度な消費電力最適化機能により、動的な消費電力を大幅に削減します。優れた対話性を持つCatapultのワークフローにより、合成プロセスは完全に可視化され設計者が自在に扱えるため、性能、面積、消費電力に対する最適な実装方法を短期間で得ることができます。



## 主な機能

### ANSI C/C++やSystemCからの高位合成

Catapultは、時間の概念がない純粋なANSI C/C++とSystemCの両方をサポートしており、多くの設計資産を活用することができます。

### 階層合成

Catapult は ANSI C++やSystemCから複数のパイプラインと並列処理をもった階層デザインでも自動的に合成することができます。

### 自動化された検証

Catapultは完全に自動化された検証フローを統合しており、シミュレーションによる検証とフォーマル検証の両方に対してプッシュボタンで必要な全てのファイルを生成します。

### マイクロ・アーキテクチャ解析と最適化

Catapultの高位合成機能は、高位レベルからの実装制約を与えることで詳細まで制御することができ、設計者は短期間で最適なハードウェア・アーキテクチャを見つけることが可能です。

### インターフェイス合成

純粋なANSI C/C++で機能記述をした場合、カリプト社の特許技術であるインターフェイス合成技術により、デザイン中にインターフェイスのタイミングとプロトコルを正確に付加します。これによりソースコードの変更なしに幅広い選択肢から最適なインタフェイスを検討することが可能です。

### SystemC モジュラーIO

Catapultは、抽象度が異なるSystemCトランザクション・モデルとサイクル精度のモデルを生成します。CatapultのモジュラーIOライブラリは、2つのI/O間(point-to-point)の接続をシミュレーション速度やハードウェア品質を犠牲にすることなく容易に実現します。これにはFIFOやメモリが標準で含まれています。Catapultは、SystemCでカスタムI/Oへ対応することも、更に複雑なバス・システムにも対応することができます。モジュラーIOは、インターフェイスの定義と活用方法に一貫性を与え、I/Oの記述、デバッグ、接続を容易にします。

### 低消費電力化の探索と最適化

Catapult LP(Low Power)は、カリプト社の持つ先進的なPowerProテクノロジーの統合により、最適化されたRTLの生成を通して、最大80%を占めるアーキテクチャ・レベルでの電力削減を提供します。Catapult LPは、SystemCあるいはC++からの消費電力の見積もり、アーキテクチャ・レベルの電力最適化、細部にわたるシーケンシャル・クロック・ゲーティングをおこないます。これにより、設計者は様々なメモリ構造を含む異なるハードウェア・アーキテクチャ間を探索をし、消費電力を大幅に抑えたハードウェアを実現させることができます。

### ECOへの対応と等価性検証の統合

カリプト社は、Catapultの高位合成と形式的等価性検証ツールであるSLECを密に統合したESL設計フローを提供しています。このフローは、ハードウェア・サブシステム的设计と検証の時間を大幅に短縮します。また、SystemC TLM2.0 のヴァーチャル・プラットフォーム、システム検証、そしてメンター社やその他のEDAベンダーのエミュレーションとも連携しています。1000以上のASICテープアウトの実績は、タイミングを考慮したDesignCompilerとの連携や、ECO時のConformal ECOとの連携など、カリプト社が実設計で確固たる統合フローを確立していることを物語っています。

### タイミング・クロージャーの達成

Catapultは、スケジューリングとアロケーション時にプロセス技術を考慮した手法を用いて、物理設計段階での高品質な設計とタイミング・クロージャーを実現します。

## CATAPULT 製品ファミリ

Feature	CALYPTO Catapult® SL	CALYPTO Catapult® LP
C++	√	√
SystemC	√	√
Multi-million gate designs	√	√
Bottom-up Synthesis	√	√
Optimizes Algorithms	√	√
Optimizes Control Logic	√	√
Optimizes for RTL Coverage	√	√
Power efficient stall logic	√	√
Integrated RTL Power Analysis		√
Vectorless clock gating		√
Vector based sequential clock gating		√
Generates VHDL and Verilog	√	√
Re-use C++/SystemC testbench on RTL	√	√

### システム要件と互換性

**対応言語:** VHDL 87, 93 & 97 and Verilog 95 & 2001, SystemVerilog; **プラットフォーム:** Windows 7, Linux Red Hat Enterprise 5 and 6 **オペレーティングシステム:** Linux Red Hat Enterprise 5 and 6 **メモリ:** 2 GB以上

calypto.com

#### World Headquarters

Tel: +1.408.850.2300  
info\_na@calypto.com

#### Calypto Europe

Tel: +44.776.5800.801  
info\_eu@calypto.com

#### Calypto India

Tel: +91 120 472.1600  
info\_in@calypto.com

#### Calypto Japan

Tel: +81.45.470.2070  
info\_jp@calypto.com

#### Calypto China

+86.10.6805.8081  
info\_cn@calypto.com

#### Calypto Korea

Tel: +82.2.488.3538  
info\_kr@calypto.com

#### Calypto Israel

Tel: +972.54.833.4451  
info\_il@calypto.com